

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 7 月 3 日 (03.07.2003)

PCT

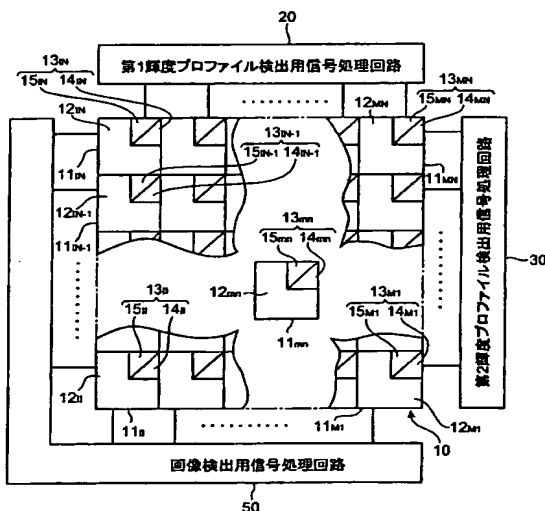
(10) 国際公開番号
WO 03/055201 A1

- (51) 国際特許分類: H04N 5/335, 5/232, G06T 7/00 [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 Shizuoka (JP).
- (21) 国際出願番号: PCT/JP02/12887
- (22) 国際出願日: 2002 年 12 月 10 日 (10.12.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-389567
2001 年 12 月 21 日 (21.12.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 杉山 行信 (SUGIYAMA, Yukinobu) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 豊田 晴義 (TOYODA, Haruyoshi) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 向坂 直久 (MUKOZAKA, Naohisa) [JP/JP]; 〒435-8558 静岡県 浜松市 市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都 中央区 銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo (JP).

[続葉有]

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



FP03-0375
-00WO-HP
04.5.18
SEARCH REPORT

20...FIRST LUMINANCE PROFILE DETECTING SIGNAL PROCESSING CIRCUIT
30...SECOND LUMINANCE PROFILE DETECTING SIGNAL PROCESSING CIRCUIT
50...IMAGE DETECTING SIGNAL PROCESSING CIRCUIT

WO 03/055201 A1

(57) Abstract: An imaging device having a photosensitive region (10) in which a plurality of pixels (11mn) are two-dimensionally arrayed, comprising an image detection unit (50) consisting of a first photosensitive portion (12mn) and a second photosensitive portion (13mn) in which each pixel (11mn) produces outputs according to the intensity of each incident light, for reading outputs from the first photosensitive portion (12mn) and detecting images based on the outputs, and luminance profile detection units (20, 30) for reading outputs from the second photosensitive portion and detecting luminance profiles in first and second directions in the two-dimension array based on the outputs, whereby it is possible to detect images, as well as detect a light-incident two-dimension position.

[続葉有]



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

複数の画素 1 1 mn が 2 次元配列された光感応領域 1 0 を有する撮像装置において、各 1 画素 1 1 mn が各々入射した光の強度に応じた出力を行う第 1 光感応部分 1 2 mn と第 2 光感応部分 1 3 mn とで構成され、前記第 1 光感応部分 1 2 mn からの出力を読み出して当該出力に基づいて画像を検出するための画像検出部 5 0 と、前記第 2 光感応部分からの出力を読み出して当該出力に基づいて前記 2 次元配列における第 1 の方向及び第 2 の方向での輝度プロファイルを検出するための輝度プロファイル検出部 2 0, 3 0 とを備える。これによって、画像の検出と共に、光が入射した 2 次元位置の検出を行うことが可能となる。

明細書

撮像装置

技術分野

本発明は、撮像装置に関するものである。

5 背景技術

従来、CMOS型イメージセンサ等の固体撮像素子を用いて撮像し、画像を検出することが一般的に行われている。

発明の開示

10 しかしながら、従来のもものでは、撮像による画像の検出と共に、光が入射した2次元位置の検出を行うということは不可能であった。

本発明は上述の点に鑑みてなされたもので、画像の検出と共に、光が入射した2次元位置の検出を行うことができる撮像装置を提供することを課題とする。

15 本発明に係る撮像装置は、画素が2次元配列された光感応領域を有する撮像装置であって、各々入射した光の強度に応じて出力する第1光感応部分と第2光感応部分とで1画素が構成されており、第1光感応部分からの出力を読み出して当該出力に基づいて画像を検出するための画像検出部と、第2光感応部分からの出力を読み出して当該出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための輝度プロファイル検出部とを備えることを特徴としている。

20 本発明に係る撮像装置では、1つの画素に入射した光は当該画素を構成する第1光感応部分及び第2光感応部分それぞれにおいて検出されて、光強度に応じた出力が光感応部分毎になされる。そして、画像検出部により、第1光感応部分からの出力が読み出されて当該出力に基づいて画像が検出される。また、輝度プロファイル検出部により、第2光感応部分からの出力が読み出され当該出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルが検出
25 される。このように、1画素が第1光感応部分と第2光感応部分とで構成されて

いることから、画像の検出と共に、光が入射した２次元位置の検出を行うことが可能となる。

また、第１光感応部分からの出力を画像検出部に導くための配線と第２光感応部分からの出力を輝度プロファイル検出部に導くための配線とが画素間を延びて設けられていることが好ましい。このように構成した場合、それぞれの配線により第１光感応部分及び第２光感応部分への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

また、第２光感応部分は、同一面内にて隣接して配設された複数の光感応部分を含み、２次元配列における第１の方向に配列された複数の画素にわたって、第２光感応部分に含まれる複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、２次元配列における第２の方向に配列された複数の画素にわたって、第２光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されていることが好ましい。このように構成した場合、１つの第２光感応部分に入射した光は当該第２光感応部分に含まれる光感応部分それぞれにおいて検出されて、光強度に応じた電流がそれぞれの光感応部分毎に出力される。そして、一方の光感応部分同士が２次元配列における第１の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第１の方向に送られる。また、他方の光感応部分同士が２次元配列における第２の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第２の方向に送られる。このように、一方の光感応部分からの電流出力は第１の方向に送られるとともに、他方の光感応部分からの電流出力は第２の方向に送られることから、第１の方向での輝度プロファイルと第２の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、１画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の２次元位置を高速に検出することができる。

また、第１の方向に配列された複数の画素にわたって、第２光感応部分に含ま

れる複数の光感応部分のうち一方の光感応部分同士を電氣的に接続するための配線が、画素間を第1の方向に延びて設けられており、第2の方向に配列された複数の画素にわたって、第2光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士を電氣的に接続するための配線が、画素間を第2の方向に延びて設けられていることが好ましい。このように構成した場合、それぞれの配線により光感応部分への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

また、第2光感応部分は入射した光の強度に応じた電流を出力し、輝度プロフィール検出部は、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力を第2の方向に順次読み出すための第1輝度プロフィール検出用シフトレジスタと、第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を第1の方向に順次読み出すための第2輝度プロフィール検出用シフトレジスタと、第1輝度プロフィール検出用シフトレジスタにより順次読み出される各一方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第1積分回路と、第2輝度プロフィール検出用シフトレジスタにより順次読み出される各他方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第2積分回路と、を含んでいることが好ましい。このように構成した場合、第1の方向での輝度プロフィールと第2の方向での輝度プロフィールとを極めて簡易な構成にて検出することができる。

また、第1光感応部分は入射した光の強度に応じた電流を出力し、画像検出部は、第1光感応部分からの電流出力を第1の方向に順次読み出すための第1画像検出用シフトレジスタと、第1画像検出用シフトレジスタにて第1の方向に順次読み出された電流出力を第2の方向に順次読み出すための第2画像検出用シフトレジスタと、を含んでいることが好ましい。このように構成した場合、画像を極めて簡易な構成にて検出することができる。

また、輝度プロファイル検出部は、検出した第 1 の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第 1 画素位置特定部と、検出した第 2 の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第 2 画素位置特定部とを含み、画像検出部は、第 1 画素位置特定部及び第 2 画素位置特定部にてそれぞれ特定された画素位置を含む画像を検出することが好ましい。このように構成した場合、所定輝度以上の領域を含む画像を極めて高速にて検出することができる。また、当該撮像装置の動体追尾センサ等への適用が可能となる。

図面の簡単な説明

図 1 は、本実施形態に係る撮像装置を示す概念概略構成図である。

図 2 は、本実施形態に係る撮像装置に含まれる光感応領域の一例を示す要部拡大平面図である。

図 3 は、本実施形態に係る撮像装置に含まれる光感応領域を示す概略構成図である。

図 4 は、本実施形態に係る撮像装置に含まれる第 1 輝度プロファイル検出用信号処理回路を示す概略構成図である。

図 5 は、本実施形態に係る撮像装置に含まれる第 2 輝度プロファイル検出用信号処理回路を示す概略構成図である。

図 6 A は、第 1 輝度プロファイル検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 6 B は、第 1 輝度プロファイル検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 6 C は、第 1 輝度プロファイル検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 6 D は、第 1 積分回路に入力されるリセット信号の経時的変化を示すグラフである。

図 6 E は、第 1 輝度プロファイル検出用信号処理回路から出力される電圧の経時的変化を示すグラフである。

図 7 A は、第 2 輝度プロファイル検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

5 図 7 B は、第 2 輝度プロファイル検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 7 C は、第 2 輝度プロファイル検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

10 図 7 D は、第 2 積分回路に入力されるリセット信号の経時的変化を示すグラフである。

図 7 E は、第 2 輝度プロファイル検出用信号処理回路から出力される電圧の経時的変化を示すグラフである。

図 8 は、本実施形態に係る撮像装置に含まれる画像検出部を示す概略構成図である。

15 図 9 A は、第 1 画像検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 9 B は、第 1 画像検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

20 図 9 C は、第 2 画像検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 9 D は、第 2 画像検出用シフトレジスタから出力される信号の経時的変化を示すグラフである。

図 9 E は、第 3 積分回路に入力されるリセット信号の経時的変化を示すグラフである。

25 図 9 F は、第 3 積分回路から出力される電圧の経時的変化を示すグラフである。

図 1 0 は、本実施形態に係る撮像装置の変形例を示す概略構成図である。

図 1 1 は、本実施形態に係る撮像装置の変形例を示す概略構成図である。

図 1 2 A は、図 1 1 に示された撮像装置の変形例の動作を説明するための図である。

5 図 1 2 B は、図 1 1 に示された撮像装置の変形例の動作を説明するための図である。

発明を実施するための最良の形態

本発明の実施形態に係る撮像装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータ M および N それぞれを 2 以上
10 以上の整数とする。また、特に明示しない限りは、パラメータ m を 1 以上 M 以下の任意の整数とし、パラメータ n を 1 以上 N 以下の任意の整数とする。

図 1 は、本実施形態に係る撮像装置を示す概念概略構成図である。本実施形態に係る撮像装置 1 は、図 1 に示されるように、光感応領域 1 0 と、第 1 輝度プロファイル検出用信号処理回路 2 0 と、第 2 輝度プロファイル検出用信号処理回路 3 0、画像検出部としての画像検出用信号処理回路 5 0 とを有している。ここで、第 1 輝度プロファイル検出用信号処理回路 2 0 と第 2 輝度プロファイル検出用信号処理回路 3 0 とが輝度プロファイル検出部を構成する。
15

光感応領域 1 0 は、画素 1 1 _{m n} が M 行 N 列に 2 次元配列されている。1 画素は、各々に入射した光の強度に応じた電流を出力する第 1 光感応部分 1 2 _{m n} と第 2 光感応部分 1 3 _{m n} を同一面内にて隣接して配設することで構成されている。また、第 2 光感応部分 1 3 _{m n} は、同一面内にて隣接して配設された複数（本実施形態においては、2 つ）の光感応部分 1 4 _{m n} 、1 5 _{m n} を含んでいる。
20

2 次元配列における第 1 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{1 N} , 1 1₂₁ ~ 1 1_{2 N} , \dots , 1 1 _{M 1} ~ 1 1 _{M N} にわたって、第 2 光感応部分 1 3 _{m n} に含まれる複数の光感応部分 1 4 _{m n} 、1 5 _{m n} のうち一方の光感応部分 1 4 _{m n} 同士（
25

たとえば、一方の光感応部分 $14_{11} \sim 14_{1N}$ が電氣的に接続されている。また、第2光感応部分 13_{mn} に含まれる複数の光感応部分 14_{mn} 、 15_{mn} のうち他方の光感応部分 15_{mn} 同士（たとえば、一方の光感応部分 $15_{11} \sim 15_{1N}$ ）が電氣的に接続されている。

5 ここで、図2及び図3に基づいて、光感応領域10の構成について説明する。図2は、撮像装置に含まれる光感応領域の一例を示す要部拡大平面図であり、図3は、撮像装置に含まれる光感応領域を示す概略構成図である。なお、図2においては、絶縁層、保護層等の図示を省略している。

10 光感応領域10は、P型（第1導電型）の半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型（第2導電型）の半導体領域41、42、43とを含んでいる。これにより、第1光感応部分 12_{mn} は半導体基板40部分と第2導電型半導体領域41とを含み、フォトダイオード61が構成されることとなる。また、第2光感応部分 13_{mn} に含まれる一方の光感応部分 14_{mn} は半導体基板40部分と第2導電型半導体領域42とを含み、フォトダイオード62が構成されることとなる。また、第2光感応部分 13_{mn} に含まれる他方の光感応部分 15_{mn} は半導体基板40部分と第2導電型半導体領域43とを含み、フォトダイオード63が構成されることとなる。第1光感応部分 12_{mn} は、パッシブピクセルセンサ（PPS：Passive Pixel Sensor）に構成されている。

20 第2導電型半導体領域42、43は、図2に示されるように、光入射方向から見て略三角形形状を呈しており、1画素において2つの領域42、43が互いに一辺が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。

25 領域41には、絶縁層（図示せず）に形成されたスルーホール（図示せず）を介して第1配線45が電氣的に接続されている。また、ポリシリコンからなるMOSゲート46が設けられており、MOSゲート46には第2配線47が電氣的

に接続されている。領域 4 1 と MOS ゲート 4 6 によりスイッチ素子 6 4 (電界効果トランジスタ: FET) が構成されることとなる。スイッチ素子 6 4 のドレインが領域 4 1 の大きな面積部分に相当し、ソースが第 1 配線 4 5 に接続される。

5 領域 4 2 には、絶縁層 (図示せず) に形成されたスルーホール (図示せず) を介して第 3 配線 4 8 が電氣的に接続されている。領域 4 3 には、絶縁層 (図示せず) に形成されたスルーホール (図示せず) を介して第 4 配線 4 9 が電氣的に接続されている。なお、上述した絶縁層の材料としては SiO_2 又は SiN 等を用いることができ、第 1 配線 4 5 ~ 第 4 配線 4 9 の各配線の材料としては Al 等の金属を用いることができる。

10 第 1 配線 4 5 は、各画素 11_{mn} における領域 4 1 を第 1 の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第 1 の方向に延びて設けられている。第 2 配線 4 7 は、MOS ゲート 4 6 を第 2 の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第 2 の方向に延びて設けられている。

15 第 3 配線 4 8 は、各画素 11_{mn} における領域 4 2 を第 1 の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第 1 の方向に延びて設けられている。このように、各画素 11_{mn} における領域 4 2 を第 3 配線 4 8 で接続することにより、2 次元配列における第 1 の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ にわたって一方の光感応部分 14_m
20 $_n$ 同士 (たとえば、一方の光感応部分 $14_{11} \sim 14_{1N}$) が電氣的に接続されて、光感応領域 1 0 において第 1 の方向に長く延びる光感応部が構成される。この第 1 の方向に長く延びる光感応部は M 列形成されることになる。

25 第 4 配線 4 9 は、各画素 11_{mn} における領域 4 3 を第 2 の方向にわたって電氣的に接続するものであって、画素 11_{mn} 間を第 2 の方向に延びて設けられている。このように、各画素 11_{mn} における領域 4 3 を第 4 配線 4 9 で接続することにより、2 次元配列における第 2 の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$

, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ にわたって他方の光感応部分 15_m
 n 同士（たとえば、他方の光感応部分 $15_{11} \sim 15_{M1}$ ）が電氣的に接続されて、
 光感応領域 10 において第 2 の方向に長く延びる光感応部が構成される。この第
 2 の方向に長く延びる光感応部は N 行形成されることになる。

5 また、光感応領域 10 においては、上述した第 1 の方向に長く延びる M 列の光
 感応部と第 2 の方向に長く延びる N 行の光感応部とが同一面上に形成されること
 になる。

10 図 2 から分かるように、図 3 において、第 2 配線 47 及び第 4 配線 49 は図 3
 中左右方向に並んでいる画素 11 間でつながっており、第 1 配線 45 及び第 3 配
 線 48 は図 3 中上下方向に並んでいる画素 11 間でつながっている。

15 領域 42, 43 の形状は、図 2 に示された略三角形状のものに限られず、他の
 形状であってもよく、たとえば、光入射方向から見て長方形状や楕状を呈してい
 てもよい。また、1 画素あたり 2 以上の領域としてもよい。なお、1 画素あたり
 第 1 の方向と第 2 の方向の第 2 導電型半導体領域の面積が異なっているても、画素
 間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての
 配線で各々に接続されている光感応領域の総面積が同じであればよい。

20 続いて、図 4 及び図 5 に基づいて、第 1 輝度プロファイル検出用信号処理回路
 20 及び第 2 輝度プロファイル検出用信号処理回路 30 の構成について説明する。
 図 4 は、第 1 輝度プロファイル検出用信号処理回路を示す概略構成図であり、
 図 5 は、第 2 輝度プロファイル検出用信号処理回路を示す概略構成図である。

25 第 1 輝度プロファイル検出用信号処理回路 20 は、光感応領域 10 に入射した
 光の第 2 の方向での輝度プロファイルを示す電圧 H_{out} を出力する。第 2 輝度プ
 ロファイル検出用信号処理回路 30 は、光感応領域 10 に入射した光の第 1 の方
 向での輝度プロファイルを示す電圧 V_{out} を出力する。

30 第 1 輝度プロファイル検出用信号処理回路 20 は、図 4 に示されるように、第
 1 の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots ,

1 1_{M1} ~ 1 1_{MN}間において電氣的に接続された一方の光感応部分 1 4_{mn} 群 (第 2 導電型半導体領域 4 2 からなり、第 1 の方向に長く延びる M 列の光感応部) に
 対応して設けられた第 1 スイッチ素子 2 1 と、第 1 の方向に配列された複数の画
 素 1 1₁₁ ~ 1 1_{1N}, 1 1₂₁ ~ 1 1_{2N}, ..., 1 1_{M1} ~ 1 1_{MN}間において電氣
 5 的に接続された一方の光感応部分 1 4_{mn} 群からの電流を第 2 の方向に順次読み
 出すための第 1 輝度プロファイル検出用シフトレジスタ 2 2 と、第 1 輝度プロフ
 ァイル検出用シフトレジスタ 2 2 により順次読み出される各一方の光感応部分 1
 4_{mn} 群からの電流を順次入力し、その電流を電圧に変換して出力する第 1 積分回
 路 2 3 とを含んでいる。

10 第 1 スイッチ素子 2 1 は、第 1 輝度プロファイル検出用シフトレジスタ 2 2 か
 ら出力される信号 shift (H_m) により制御されて順次閉じられる。第 1 ス
 イッチ素子 2 1 を閉じることにより、第 1 の方向に配列された複数の画素 1 1₁₁
 ~ 1 1_{1N}, 1 1₂₁ ~ 1 1_{2N}, ..., 1 1_{M1} ~ 1 1_{MN}間において電氣的に接続
 された一方の光感応部分 1 4_{mn} 群に蓄積された電荷が電流となって、第 3 配線 4
 15 8 及び第 1 スイッチ素子 2 1 を介して第 1 積分回路 2 3 に出力される。第 1 輝度
 プロファイル検出用シフトレジスタ 2 2 は、制御回路 (図示せず) から出力され
 る信号によりその動作が制御されて、第 1 スイッチ素子 2 1 を順次閉じる。

第 1 積分回路 2 3 は、第 1 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{1N}, 1
 1₂₁ ~ 1 1_{2N}, ..., 1 1_{M1} ~ 1 1_{MN}間において電氣的に接続された一方の
 20 光感応部分 1 4_{mn} 群からの電流出力を入力し、入力した電流出力の電荷を増幅す
 るアンプ 2 4 と、アンプ 2 4 の入力端子に一方の端子が接続され、アンプ 2 4 の
 出力端子に他方の端子が接続された容量素子 2 5 と、アンプ 2 4 の入力端子に一
 方の端子が接続され、アンプ 2 4 の出力端子に他方の端子が接続され、制御回路
 から出力されるリセット信号 $\Phi_{Hr,reset}$ が有意の場合には「ON」状態となり、
 25 リセット信号 $\Phi_{Hr,reset}$ が非有意の場合には「OFF」状態となるスイッチ素子
 2 6 とを有している。

第1積分回路23は、スイッチ素子26が「ON」状態であるときには、容量素子25を放電して初期化する。一方、第1積分回路23は、スイッチ素子26が「OFF」状態であるときには、第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}, 11_{21} \sim 11_{2N}, \dots, 11_{M1} \sim 11_{MN}$ 間において電氣的に接続された一方の光感応部分 14_{mn} 群から入力端子に入力した電荷を容量素子25に蓄積して、その蓄積された電荷に応じた電圧 H_{out} を出力端子から出力する。

第2輝度プロファイル検出用信号処理回路30は、図5に示されるように、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 15_{mn} 群（第2導電型半導体領域43からなり、第2の方向に長く延びるN行の光感応部）に対応して設けられた第2スイッチ素子31と、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 15_{mn} 群からの電流を第1の方向に順次読み出すための第2輝度プロファイル検出用シフトレジスタ32と、第2輝度プロファイル検出用シフトレジスタ32により順次読み出される各他方の光感応部分 15_{mn} 群からの電流を順次入力し、その電流を電圧に変換して出力する第2積分回路33とを含んでいる。

第2スイッチ素子31は、第2輝度プロファイル検出用シフトレジスタ32から出力される信号 $shift(V_n)$ により制御されて順次閉じられる。第2スイッチ素子31を閉じることにより、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}, 11_{12} \sim 11_{M2}, \dots, 11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 15_{mn} 群に蓄積された電荷が電流となって、第4配線49及び第2スイッチ素子31を介して第2積分回路33に出力される。第2輝度プロファイル検出用シフトレジスタ32は、制御回路から出力される信号によりその動作が制御されて、第2スイッチ素子31を順次閉じる。

第2積分回路33は、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}, 1$

$1_{12} \sim 1_{1M2}, \dots, 1_{11N} \sim 1_{1MN}$ 間において電氣的に接続された他方の
 光感応部分 15_{mn} 群からの電流出力を入力し、入力した電流出力の電荷を増幅す
 るアンプ 34 と、アンプ 34 の入力端子に一方の端子が接続され、アンプ 34 の
 出力端子に他方の端子が接続された容量素子 35 と、アンプ 34 の入力端子に一
 5 方の端子が接続され、アンプ 34 の出力端子に他方の端子が接続され、制御回路
 から出力されるリセット信号 $\Phi_{vr, \dots, t}$ が有意の場合には「ON」状態となり、
 リセット信号 $\Phi_{vr, \dots, t}$ が非有意の場合には「OFF」状態となるスイッチ素子
 36 とを有している。

第2積分回路 33 は、スイッチ素子 36 が「ON」状態であるときには、容量
 10 素子 35 を放電して初期化する。一方、第2積分回路 33 は、スイッチ素子 36
 が「OFF」状態であるときには、第2の方向に配列された複数の画素 $1_{11} \sim$
 $1_{1M1}, 1_{12} \sim 1_{1M2}, \dots, 1_{11N} \sim 1_{1MN}$ 間において電氣的に接続さ
 れた他方の光感応部分 15_{mn} 群から入力端子に入力した電荷を容量素子 35 に
 蓄積して、その蓄積された電荷に応じた電圧 V_{out} を出力端子から出力する。

続いて、図 6A～図 6E 及び図 7A～図 7E に基づいて、第1輝度プロファイル
 検出用信号処理回路 20 及び第2輝度プロファイル検出用信号処理回路 30 の
 動作について説明する。図 6A～図 6E は、第1輝度プロファイル検出用信号処
 理回路の動作を説明するためのタイミングチャートであり、図 7A～図 7E は、
 20 第2輝度プロファイル検出用信号処理回路の動作を説明するためのタイミングチ
 ャートである。

制御回路から第1輝度プロファイル検出用シフトレジスタ 22 にスタート信号
 が入力されると、図 6A 及び図 6B にも示されるように、所定のパルス幅を有す
 る信号 $shift (H_m)$ が順次出力される。第1輝度プロファイル検出用シフ
 25 トレジスタ 22 から対応する第1スイッチ素子 21 に $shift (H_m)$ が出力
 されると、第1スイッチ素子 21 が順次閉じ、対応する一方の光感応部分 14_{mn}

群に蓄積された電荷が電流となって第1積分回路23に順次出力される。

第1積分回路23には、図6Dに示されるように、制御回路からリセット信号 Φ_{Hreset} が入力されている。このリセット信号 Φ_{Hreset} が「OFF」状態の期間、対応する一方の光感応部分14_{mn}群に蓄積された電荷が容量素子25に蓄積されて、図6Eに示されるように、蓄積された電荷量に応じた電圧 H_{out} が第1積分回路23から順次出力される。なお、第1積分回路23は、リセット信号 Φ_{Hreset} が「ON」状態のときにはスイッチ素子26を閉じて容量素子25を初期化する。

このように、第1輝度プロファイル検出用信号処理回路20からは、第1の方向に配列された複数の画素11₁₁~11_{1N}, 11₂₁~11_{2N}, ..., 11_{M1}~11_{MN}間において電氣的に接続された一方の光感応部分14_{mn}群にて蓄積されて電荷（電流）に対応した電圧 H_{out} が、対応する一方の光感応部分14_{mn}群毎に順次時系列データとして出力される。この時系列データは、第2の方向での輝度プロファイルを示すものである。

制御回路から第2輝度プロファイル検出用シフトレジスタ32にスタート信号が入力されると、図7A及び図7Bにも示されるように、所定のパルス幅を有する信号 $shift(V_n)$ が順次出力される。第2輝度プロファイル検出用シフトレジスタ32から対応する第2スイッチ素子31に $shift(V_n)$ が出力されると、第2スイッチ素子31が順次閉じ、対応する他方の光感応部分15_{mn}群に蓄積された電荷が電流となって第2積分回路33に順次出力される。

第2積分回路33には、図7Dに示されるように、制御回路からリセット信号 Φ_{Vreset} が入力されている。このリセット信号 Φ_{Vreset} が「OFF」状態の期間、対応する他方の光感応部分15_{mn}群に蓄積された電荷が容量素子35に蓄積されて、図7Eに示されるように、蓄積された電荷量に応じた電圧 V_{out} が第2積分回路33から順次出力される。なお、第2積分回路33は、リセット信号 Φ_{Vreset} が「ON」状態のときにはスイッチ素子36を閉じて容量素子35を初

期化する。

このように、第2輝度プロファイル検出用信号処理回路30からは、第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 15_{mn} 群にて蓄積されて電荷（電流）に対応した電圧 V_{out} が、対応する他方の光感応部分 15_{mn} 群毎に順次時系列データとして出力される。この時系列データは、第1の方向での輝度プロファイルを示すものである。

続いて、図8に基づいて、画像検出用信号処理回路50の構成について説明する。図8は、画像検出部を示す概略構成図である。画像検出用信号処理回路50は、光感応領域10に入射した光により画素データ（画像）を示す電圧 IM_{out} を出力する。

画像検出用信号処理回路50は、各第1光感応部分 12_{mn} からの電流出力を第1の方向に順次読み出すための第1画像検出用シフトレジスタ51と、第2の方向に配列された画素 11_{mn} に対応して設けられた第3スイッチ素子52と、第1画像検出用シフトレジスタ51にて第1の方向に順次読み出されたそれぞれの電流出力を第2の方向に順次読み出すための第2画像検出用シフトレジスタ53と、第2画像検出用シフトレジスタ53により順次読み出される各第1光感応部分 12_{mn} からの電流を順次入力し、その電流を電圧に変換して出力する第3積分回路54とを含んでいる。

第1画像検出用シフトレジスタ51は、夫々の第1光感応部分 12_{mn} で生じた電流を読み出すために、制御回路（図示せず）から出力される信号によりその動作が制御されて、夫々のMOSゲート46（スイッチ素子64）に信号 $shift(V_{1n})$ を出力する。第1画像検出用シフトレジスタ51は、第2の方向に配列された第1光感応部分 12_{mn} のMOSゲート46（スイッチ素子64）に対して、同時に信号 $shift(V_{1n})$ を出力し得るように第2配線47を介して接続されている。

第3スイッチ素子52は、第2画像検出用シフトレジスタ53から出力される信号 $s h i f t (H_{1m})$ により制御されて順次閉じられる。第3スイッチ素子52を閉じることにより、第1画像検出用シフトレジスタ51からの信号 $s h i f t (V_{1n})$ により閉じられたMOSゲート46（スイッチ素子64）に対応する第1光感応部分 12_{mn} に蓄積された電荷が電流となって、第1配線48及び第3スイッチ素子52を介して第3積分回路54に出力される。第2画像検出用シフトレジスタ53は、制御回路（図示せず）から出力される信号によりその動作が制御されて、第3スイッチ素子52を順次閉じる。

第3積分回路54は、夫々の第1光感応部分 12_{mn} からの電流出力を入力し、入力した電流出力の電荷を増幅するアンプ55と、アンプ55の入力端子に一方の端子が接続され、アンプ55の出力端子に他方の端子が接続された容量素子56と、アンプ55の入力端子に一方の端子が接続され、アンプ55の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号 Φ_{1Mrst} が有意の場合には「ON」状態となり、リセット信号 Φ_{1mrst} が非有意の場合には「OFF」状態となるスイッチ素子57とを有している。

第3積分回路54は、スイッチ素子57が「ON」状態であるときには、容量素子56を放電して初期化する。一方、第3積分回路54は、スイッチ素子57が「OFF」状態であるときには、夫々の第1光感応部分 12_{mn} から入力端子に入力した電荷を容量素子56に蓄積して、その蓄積された電荷に応じた電圧 $I M_{out}$ を出力端子から出力する。

続いて、図9A～図9Fに基づいて、画像検出用信号処理回路50の動作について説明する。図9A～図9Fは、画像検出用信号処理回路の動作を説明するためのタイミングチャートである。

制御回路から第1画像検出用シフトレジスタ51にスタート信号が入力されると、図9A及び図9Bにも示されるように、所定のパルス幅を有する信号 $s h i f t (V_{1n})$ が順次出力される。第1画像検出用シフトレジスタ51から対応す

るMOSゲート46にshift (V_{1n}) が出力されると、MOSゲート46が順次閉じる。

この状態で、制御回路から第2画像検出用シフトレジスタ53にスタート信号が入力されると、図9C及び図9Dにも示されるように、所定のパルス幅を有する信号shift (H_{1m}) が順次出力される。第2画像検出用シフトレジスタ53から対応する第3スイッチ素子52にshift (H_{1m}) が出力されると、第3スイッチ素子52が順次閉じ、対応する第1光感応部分12_{mn}に蓄積された電荷が電流となって第3積分回路54に順次出力される。

第3積分回路54には、図9Eに示されるように、制御回路からリセット信号 Φ_{1Reset} が入力されている。このリセット信号 Φ_{1Reset} が「OFF」状態の期間、対応する第1光感応部分12_{mn}に蓄積された電荷が容量素子56に蓄積されて、図9Fに示されるように、蓄積された電荷量に応じた電圧 IM_{out} が第3積分回路54から順次出力される。なお、第3積分回路54は、リセット信号 Φ_{1Reset} が「ON」状態のときにはスイッチ素子57を閉じて容量素子56を初期化する。

このように、画像検出用信号処理回路50からは、第1光感応部分12_{mn}にて蓄積されて電荷（電流）に対応した IM_{out} が、対応する第1光感応部分12_{mn}毎に順次時系列データとして出力される。この時系列データは、画素データ（画像）を示すものである。

なお、第1輝度プロファイル検出用信号処理回路20、第2輝度プロファイル検出用信号処理回路30及び画像検出用信号処理回路50は、同じタイミングにて動作させてもよく、時系列順で独立して動作させてもよい。

以上のように、本実施形態の撮像装置1においては、1つの画素11_{mn}に入射した光は当該画素11_{mn}を構成する第1光感応部分12_{mn}及び第2光感応部分13_{mn}それぞれにおいて検出されて、光強度に応じた出力が光感応部分12_{mn}、13_{mn}毎になされる。そして、画像検出用信号処理回路50により、第1光感

応部分 1 2_{m_n}からの出力が読み出されて当該出力に基づいて画像が検出される。
また、輝度プロファイル検出部（第 1 輝度プロファイル検出用信号処理回路 2 0
及び第 2 輝度プロファイル検出用信号処理回路 3 0）により、第 2 光感応部分 1
3_{m_n}からの出力が読み出され当該出力に基づいて 2 次元配列における第 1 の方
5 向及び第 2 の方向での輝度プロファイルが検出される。このように、1 画素が第
1 光感応部分 1 2_{m_n}と第 2 光感応部分 1 3_{m_n}とで構成されていることから、画像
の検出と共に、光が入射した 2 次元位置の検出を行うことが可能となる。

また、本実施形態の撮像装置 1 において、第 1 光感応部分 1 2_{m_n}からの出力を
画像検出用信号処理回路 5 0 に導くための第 1 配線 4 5 及び第 2 配線 4 7 と、第
10 2 光感応部分 1 3_{m_n}からの出力を輝度プロファイル検出部（第 1 輝度プロファイ
ル検出用信号処理回路 2 0 及び第 2 輝度プロファイル検出用信号処理回路 3 0）
に導くための第 3 配線 4 8 及び第 4 配線 4 9 とが画素 1 1_{m_n}間を延びて設けら
れている。これにより、それぞれの配線 4 5, 4 7, 4 8, 4 9 により第 1 光感
応部分 1 2_{m_n}及び第 2 光感応部分 1 3_{m_n}への光の入射を妨げられることはなく、
15 検出感度の低下を抑制できる。

また、本実施形態の撮像装置 1 において、第 2 光感応部分 1 3_{m_n}は、同一面内
にて隣接して配設された複数の光感応部分 1 4_{m_n}, 1 5_{m_n}を含み、2 次元配列に
おける第 1 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{1N}, 1 1₂₁ ~ 1 1_{2N},
..., 1 1_{M1} ~ 1 1_{MN}にわたって、第 2 光感応部分 1 3_{m_n}に含まれる複数の
20 光感応部分 1 4_{m_n}, 1 5_{m_n}のうち一方の光感応部分 1 4_{m_n}同士が電氣的に接続
され、2 次元配列における第 2 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{M1},
1 1₁₂ ~ 1 1_{M2}, ..., 1 1_{1N} ~ 1 1_{MN}にわたって、第 2 光感応部分 1 3_{m_n}
n に含まれる複数の光感応部分 1 4_{m_n}, 1 5_{m_n}のうち他方の光感応部分 1 5_{m_n}同
士が電氣的に接続されている。これにより、1 つの第 2 光感応部分 1 3_{m_n}に入射
25 した光は当該第 2 光感応部分 1 3_{m_n}に含まれる光感応部分 1 4_{m_n}, 1 5_{m_n}それ
ぞれにおいて検出されて、光強度に応じた電流がそれぞれの光感応部分 1 4_{m_n},

1 5_{mn} 毎に出力される。そして、一方の光感応部分 1 4_{mn} 同士が 2 次元配列における第 1 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{1N}, 1 1₂₁ ~ 1 1_{2N}, . . . , 1 1_{M1} ~ 1 1_{MN} にわたって電氣的に接続されているので、一方の光感応部分 1 4_{mn} からの電流出力は第 1 の方向に送られる。また、他方の光感応部分 1 5_{mn} 同士が 2 次元配列における第 2 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{M1}, 1 1₁₂ ~ 1 1_{M2}, . . . , 1 1_{1N} ~ 1 1_{MN} にわたって電氣的に接続されているので、他方の光感応部分 1 5_{mn} からの電流出力は第 2 の方向に送られる。このように、一方の光感応部分 1 4_{mn} からの電流出力は第 1 の方向に送られるとともに、他方の光感応部分 1 5_{mn} からの電流出力は第 2 の方向に送られることから、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1 画素に複数の光感応部分 1 4_{mn}, 1 5_{mn} を配設するという極めて簡素な構成にて、入射した光の 2 次元位置を高速に検出することができる。

また、本実施形態の撮像装置 1 においては、第 3 配線 4 8 が、画素 1 1_{mn} 間を第 1 の方向に延びて設けられており、第 4 配線 4 9 が、画素 1 1_{mn} 間を第 2 の方向に延びて設けられていることが好ましい。このように構成した場合、それぞれの配線 4 8, 4 9 により光感応部分 1 2_{mn}, 1 3_{mn} への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

また、本実施形態の撮像装置 1 において、第 2 光感応部分 1 3_{mn} は入射した光の強度に応じた電流を出力し、輝度プロファイル検出部（第 1 輝度プロファイル検出用信号処理回路 2 0、第 2 輝度プロファイル検出用信号処理回路 3 0）は、第 1 輝度プロファイル検出用シフトレジスタ 2 2 と、第 2 輝度プロファイル検出用シフトレジスタ 3 2 と、第 1 積分回路 2 3 と、第 2 積分回路 3 3 とを含んでいる。これにより、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとを極めて簡易な構成にて検出することができる。

また、本実施形態の撮像装置 1 において、第 1 光感応部分 1 2_{mn} は入射した光

の強度に応じた電流を出力し、画像検出用信号処理回路50は、第1画像検出用シフトレジスタ51と、第2画像検出用シフトレジスタ53と、第2積分回路54とを含んでいる。これにより、画像（画素データ）を極めて簡易な構成にて検出することができる。

次に、図10に基づいて、本実施形態に係る撮像装置の変形例について説明する。図10は、本実施形態に係る撮像装置の変形例を示す概略構成図である。変形例は、上述した実施形態に比して、第1光感応部分 12_{mn} がアクティブピクセルセンサ（PPS: Active Pixel Sensor）に構成されている点で相違する。なお、図10では、 2×2 画素として図示している。なお、図10において、各画素 11_{11} , 11_{12} , 11_{21} , 11_{22} の同じ位置から延びる各配線はつながっている。

電界効果トランジスタ（FET）81, 82の各ドレインが電源電圧に接続され、トランジスタ81のソースとトランジスタ82のゲートが電界効果トランジスタ83のドレインに接続されている。トランジスタ83のソースがフォトダイオード61のカソードに接続されている。更に、トランジスタ82のソースが、トランジスタ84のドレイン、ソースを通して第3スイッチ素子52側に接続されている。トランジスタ81のゲートには、第1画像検出用シフトレジスタ51からリセット信号Reset (V_{1n}) が与えられ、トランジスタ83のゲートには、第1画像検出用シフトレジスタ51から信号SW (V_{1n}) が与えられる。また、トランジスタ84には、第1画像検出用シフトレジスタ51から信号shift (V_{1n}) が与えられる。

このアクティブピクセルセンサの動作について説明するに、まず、トランジスタ81のゲートにリセット信号Reset (V_{1n}) が印加され、トランジスタ81がオンになり、トランジスタ81のドレイン、ソースを介してフォトダイオード61のカソードの電圧が電源電位にされる（リセットされる）。なお、このとき、トランジスタ83はオンであり、トランジスタ84はオフである。続いて、

トランジスタ 81 のゲートへのリセット信号 $R e s e t (V_{1n})$ が消失してトランジスタ 81 がオフとなり、これにより、フォトダイオード 61 のカソード電位が電源電位に維持される。この状態で、フォトダイオード 61 に光が照射され、フォトダイオード 61 が入射光を光電変換して、照射光量（強度×時間）に比例した電荷 Q がフォトダイオード 61 に蓄積され、フォトダイオード 61 のカソードの電位が Q/C なる電圧変化を起こす（ただし、 C はフォトダイオード 61 の容量である）。

その後、トランジスタ 83 のゲートに信号 $SW (V_{1n})$ が印加され、トランジスタ 84 のゲートに信号 $s h i f t (V_{1n})$ が印加されることにより、フォトダイオード 61 の上述したカソード電圧変化分が、トランジスタ 83、トランジスタ 82 及びトランジスタ 84 を通して画像信号として出力される。

このように、第 1 光感応部分 12_{mn} をアクティブピクセルセンサにて構成した場合においても、画像の検出と共に、光が入射した 2 次元位置の検出を行うことが可能となる。

次に、図 11 に基づいて、本実施形態に係る撮像装置の更なる変形例について説明する。図 11 は、本実施形態に係る撮像装置の更なる変形例を示す概略構成図である。

図 11 に示された変形例において、第 2 輝度プロファイル検出用信号処理回路 30（輝度プロファイル検出部）は、第 1 の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第 1 画素位置特定部 91 を含んでいる。第 1 画素位置特定部 91 には、夫々の第 2 スイッチ素子 31 からの出力が接続されており、第 2 の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ 間において電氣的に接続された他方の光感応部分 15_m 群からの電流出力が入力される。

第 1 画素位置特定部 91 は、入力された出力に基づいて、所定輝度以上となる画素位置を特定して、特定した画素位置に関する情報を画素情報（チャンネル情

報)として第1画像検出用シフトレジスタ51に送る。画素情報には、特定した画素位置の周辺に位置する画素位置も含まれる。第1画像検出用シフトレジスタ51は、第1画素位置特定部91から送られた画素情報に基づいて、当該画素情報における画素位置に対応するMOSゲート46のみshift(V_{1n})を順次出力する。これにより、画素情報における画素位置に対応するMOSゲート46のみが順次閉じられることとなる。

第1輝度プロファイル検出用信号処理回路20(輝度プロファイル検出部)は、第2の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第2画素位置特定部92を含んでいる。第2画素位置特定部92には、夫々の第1スイッチ素子21からの出力が接続されており、第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ 間において電氣的に接続された一方の光感応部分 14_{mn} 群からの出力が入力される。

第2画素位置特定部92は、入力された出力に基づいて、所定輝度以上となる画素位置を特定して、特定した画素位置に関する情報を画素情報(チャンネル情報)として第2画像検出用シフトレジスタ53に送る。画素情報には、特定した画素位置の周辺に位置する画素位置も含まれる。第2画像検出用シフトレジスタ53は、第2画素位置特定部92から送られた画素情報に基づいて、当該画素情報における画素位置に対応する第3スイッチ素子52のみshift(H_{1m})を順次出力する。これにより、画素情報における画素位置に対応する第3スイッチ素子52のみが順次閉じられて、当該画素位置に対応する第1光感応部分 12_{mn} に蓄積された電荷が電流となってイメージ読出回路93、第3スイッチ素子52を介してA/D変換回路94に順次出力される。なお、第1輝度プロファイル検出用信号処理回路20及び第2輝度プロファイル検出用信号処理回路30の出力はA/D変換回路95, 96に送られてA/D変換された後に出力される。

したがって、図12A及び図12Bに示されるように、光感応領域10全体で検出される画像I1(M×N画素)に対して、所定輝度以上となる所定の領域の

画像 I 2 ($O \times P$ 画素 : ただし $M \geq O$ 、 $N \geq P$) を得ることができる。たとえば、 $M = N = 512$ 、 $O = P = 64$ 、読み出し速度 $1 \mu \text{sec} / \text{pixel}$ の場合、画像 I 1 を読み出すとフレームレートは 3.8 (fps) となり、画像 I 2 を読み出すと 244 (fps) となり、高速での読み出しが可能となる。なお、図

5 12 A において、特性 A は、第 1 輝度プロファイル検出用信号処理回路 20 により得られた第 2 の方向での輝度プロファイルを示し、特性 B は、第 2 輝度プロファイル検出用信号処理回路 30 により得られた第 1 の方向での輝度プロファイルを示す。

このように、図 11 に示された変形例では、所定輝度以上の領域を含む画像を

10 極めて高速にて検出することができる。また、当該撮像装置 1 の動体追尾センサ等への適用が可能となる。

本発明は、前述した実施形態に限定されるものではない。たとえば、第 2 光感応部分 13_{mn} を同一面内にて第 1 光感応部分 12_{nm} と隣接して配設する代わりに、光感応領域 10 が形成される半導体基板 40 の裏面側に、抵抗電極等の格子

15 状の抵抗部を設け、光入射に基づく抵抗値変動を検知することで第 1 の方向及び第 2 の方向での輝度プロファイル (光の入射位置) を検出するようにしてもよい。

産業上の利用可能性

本発明の撮像装置は、動体追尾装置に利用できる。

請求の範囲

1. 画素が2次元配列された光感応領域を有する撮像装置であって、
各々入射した光の強度に応じた出力を行う第1光感応部分と第2光感応部分と
で1画素が構成されており、

5 前記第1光感応部分からの出力を読み出して当該出力に基づいて画像を検出する
ための画像検出部と、前記第2光感応部分からの出力を読み出して当該出力に
基づいて前記2次元配列における第1の方向及び第2の方向での輝度プロファイル
を検出するための輝度プロファイル検出部とを備えることを特徴とする撮像装
置。

10 2. 前記第1光感応部分からの出力を前記画像検出部に導くための配線と
前記第2光感応部分からの出力を前記輝度プロファイル検出部に導くための配線
とが前記画素間を延びて設けられていることを特徴とする請求の範囲第1項に記
載の撮像装置。

15 3. 前記第2光感応部分は、同一面内にて隣接して配設された複数の光感
応部分を含み、

前記2次元配列における第1の方向に配列された複数の画素にわたって、前記
第2光感応部分に含まれる複数の光感応部分のうち一方の光感応部分同士が電気
的に接続され、

20 前記2次元配列における第2の方向に配列された複数の画素にわたって、前記
第2光感応部分に含まれる複数の光感応部分のうち他方の光感応部分同士が電気
的に接続されていることを特徴とする請求の範囲第1項に記載の撮像装置。

4. 前記第1の方向に配列された複数の画素にわたって、前記第2光感応
部分に含まれる複数の光感応部分のうち一方の光感応部分同士を電氣的に接続す
るための配線が、前記画素間を前記第1の方向に延びて設けられており、

25 前記第2の方向に配列された複数の画素にわたって、前記第2光感応部分に含
まれる複数の光感応部分のうち他方の光感応部分同士を電氣的に接続するための

配線が、前記画素間を前記第 2 の方向に延びて設けられていることを特徴とする請求の範囲第 3 項に記載の撮像装置。

5. 前記第 2 光感応部分は入射した光の強度に応じた電流を出力し、
前記輝度プロファイル検出部は、

5 前記第 1 の方向に配列された前記複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力を前記第 2 の方向に順次読み出すための第 1 輝度プロファイル検出用シフトレジスタと、

前記第 2 の方向に配列された前記複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を前記第 1 の方向に順次読み出すための第 2
10 輝度プロファイル検出用シフトレジスタと、

前記第 1 輝度プロファイル検出用シフトレジスタにより順次読み出される前記各一方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第 1 積分回路と、

前記第 2 輝度プロファイル検出用シフトレジスタにより順次読み出される前記各他方の光感応部分群からの電流出力を順次入力し、その出力を電圧出力に変換する第 2 積分回路と、を含んでいることを特徴とする請求の範囲第 3 項に記載
15 の撮像装置。

6. 前記第 1 光感応部分は入射した光の強度に応じた電流を出力し、
前記画像検出部は、

20 前記第 1 光感応部分からの電流出力を前記第 1 の方向に順次読み出すための第 1 画像検出用シフトレジスタと、

前記第 1 画像検出用シフトレジスタにて前記第 1 の方向に順次読み出された前記電流出力を前記第 2 の方向に順次読み出すための第 2 画像検出用シフトレジスタと、を含んでいることを特徴とする請求の範囲第 1 項に記載の撮像装置。

25 7. 前記輝度プロファイル検出部は、検出した前記第 1 の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第 1 画素位置特定部と、

検出した前記第 2 の方向での輝度プロファイルにおける所定輝度以上の画素位置を特定する第 2 画素位置特定部とを含み、

前記画像検出部は、前記第 1 画素位置特定部及び前記第 2 画素位置特定部にてそれぞれ特定された前記画素位置を含む画像を検出することを特徴とする請求の範囲第 1 項に記載の撮像装置。

5

図 1

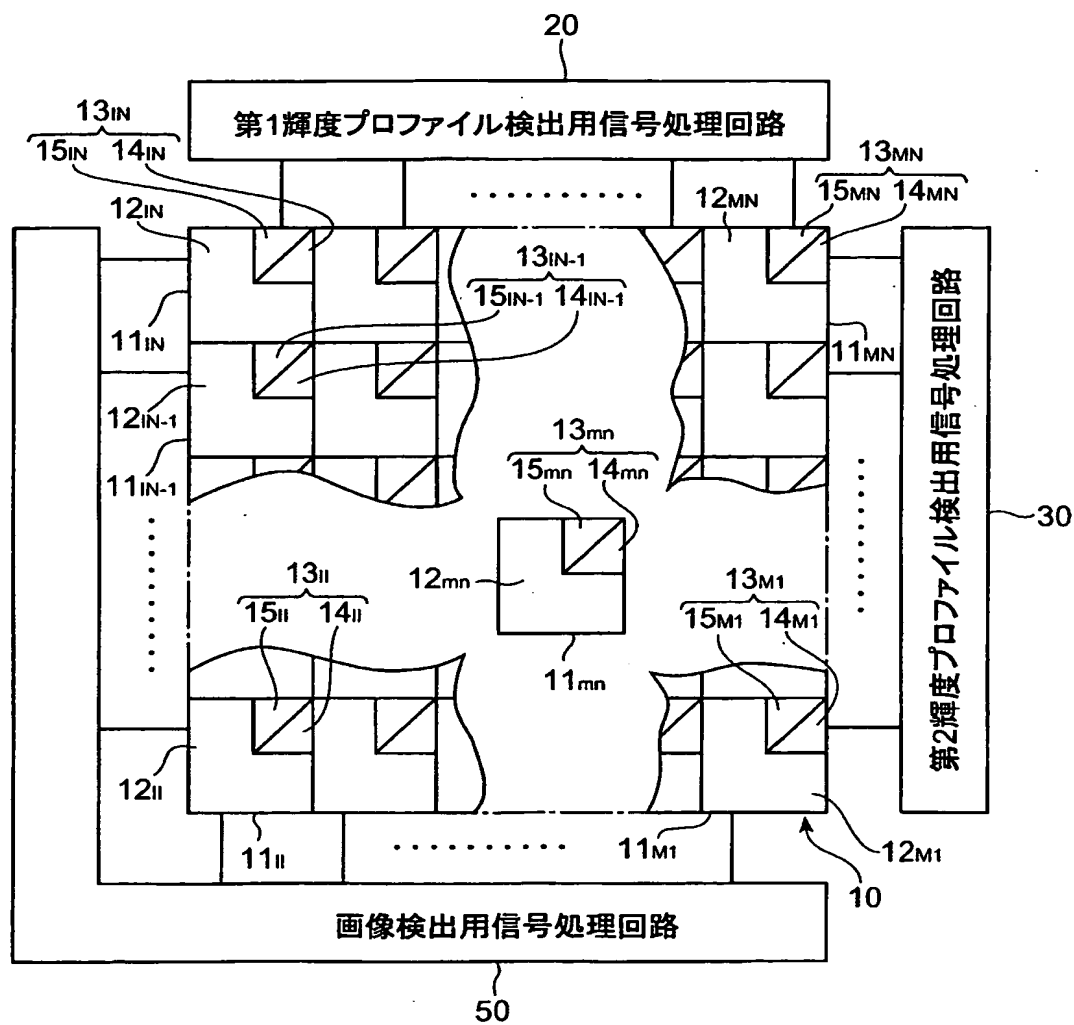


図2

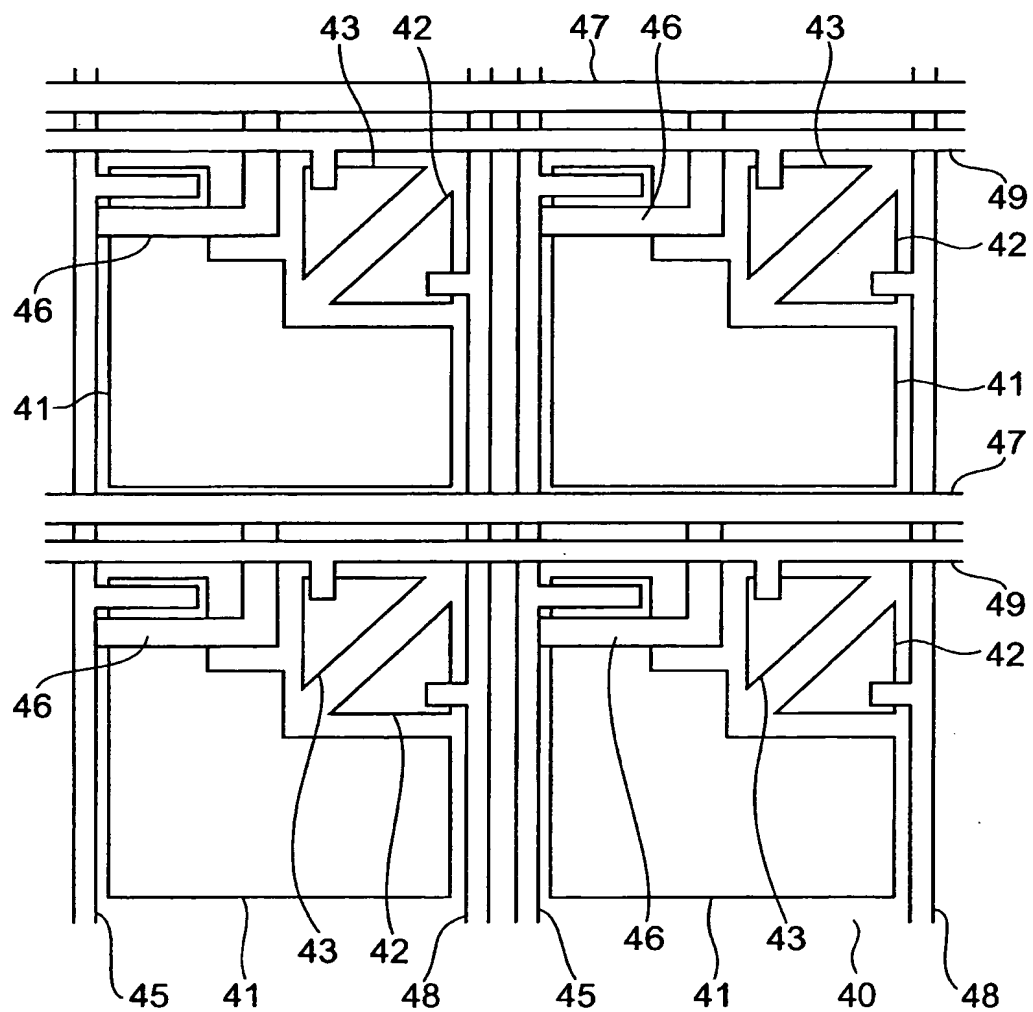


図3

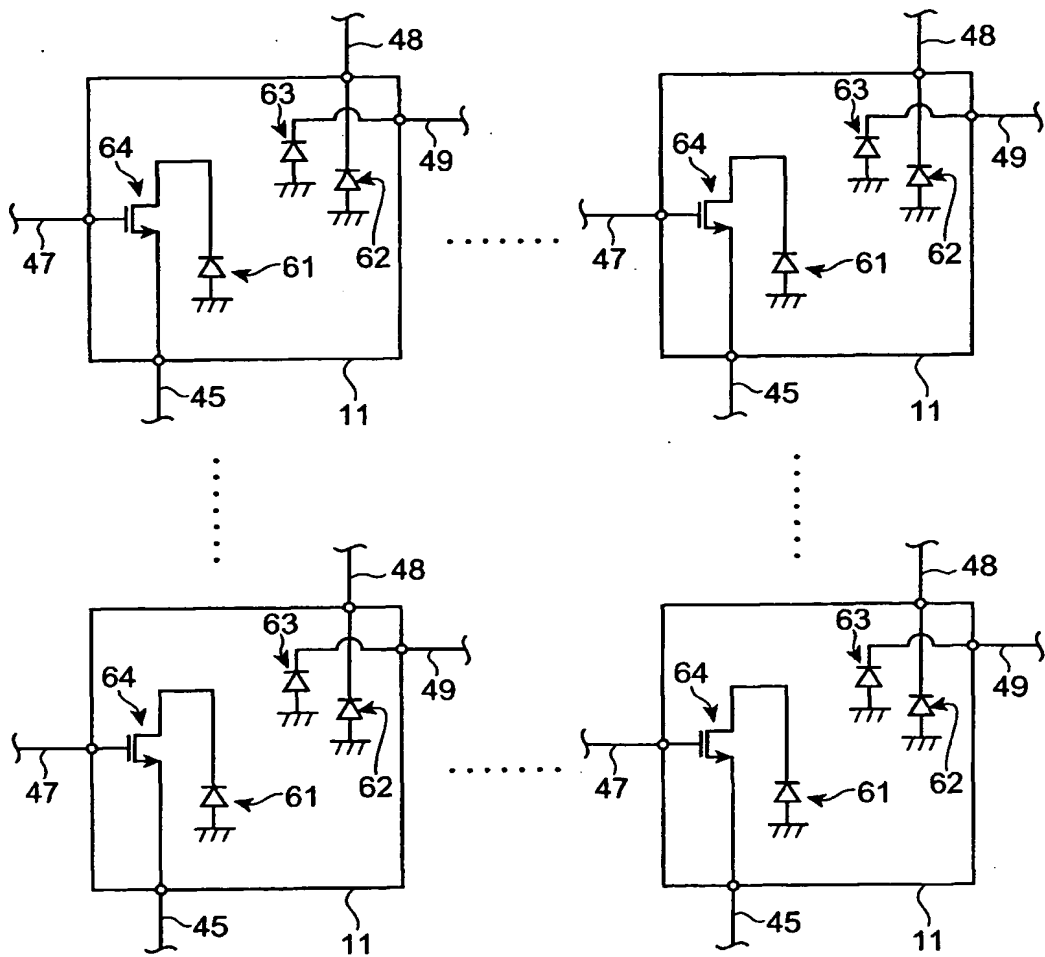


図4

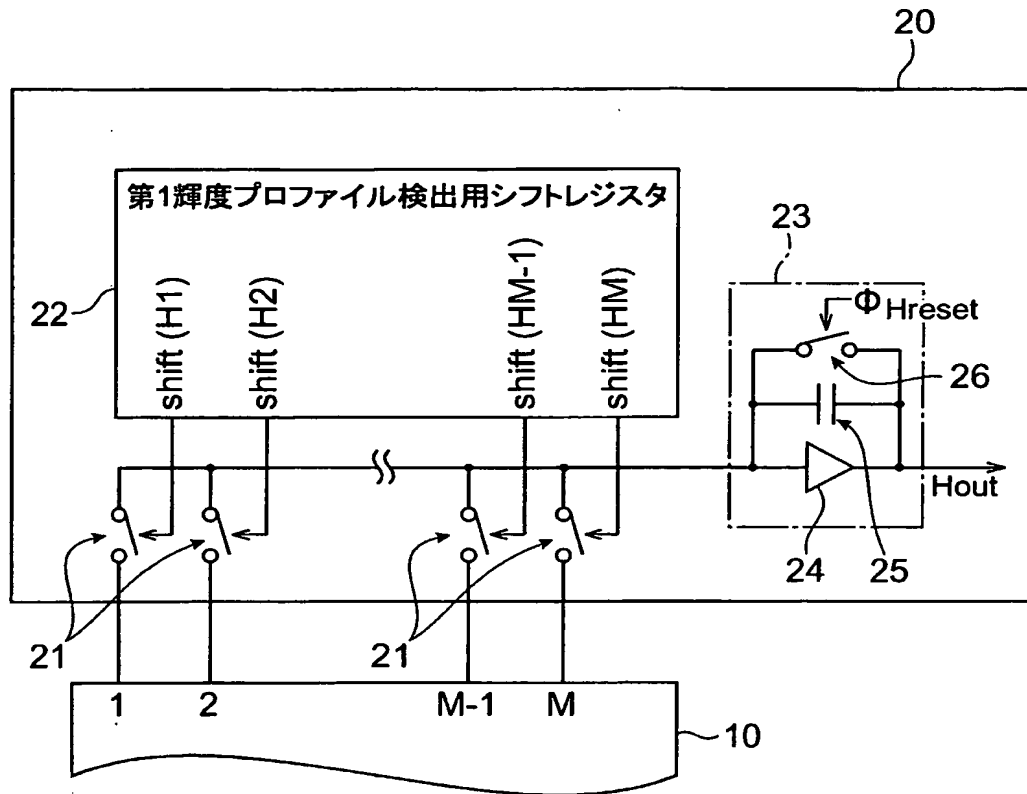
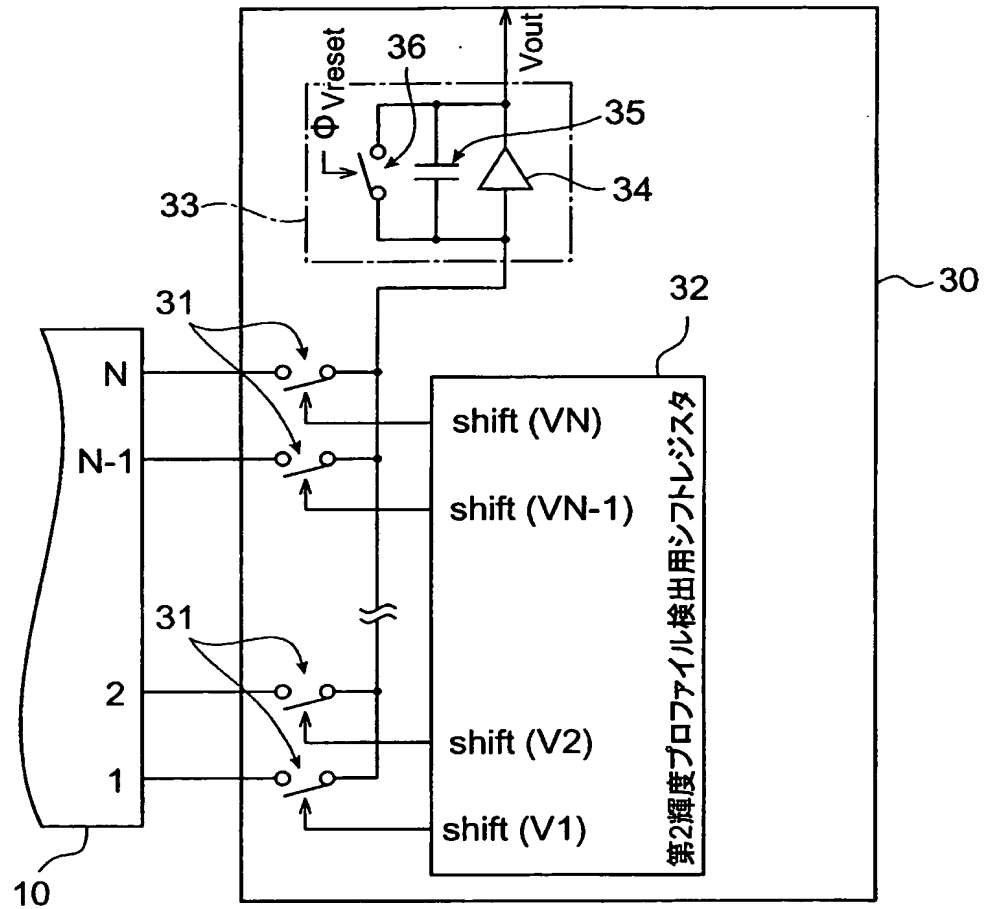
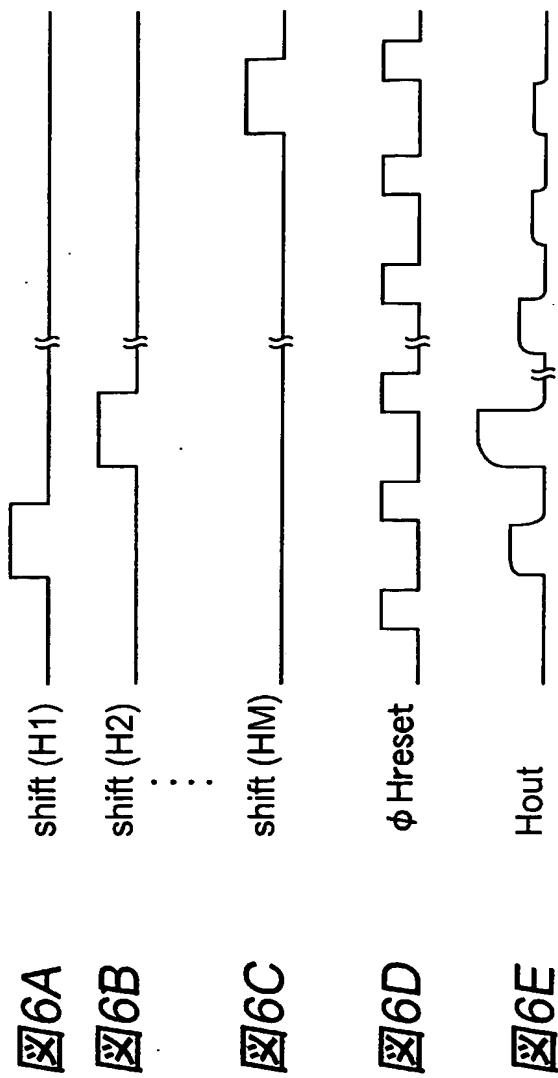
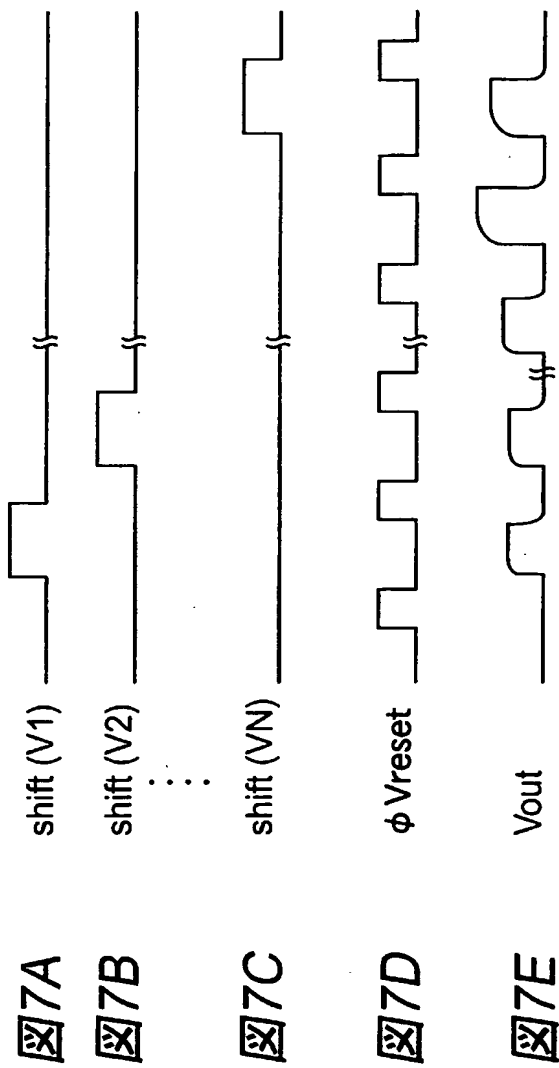


図5







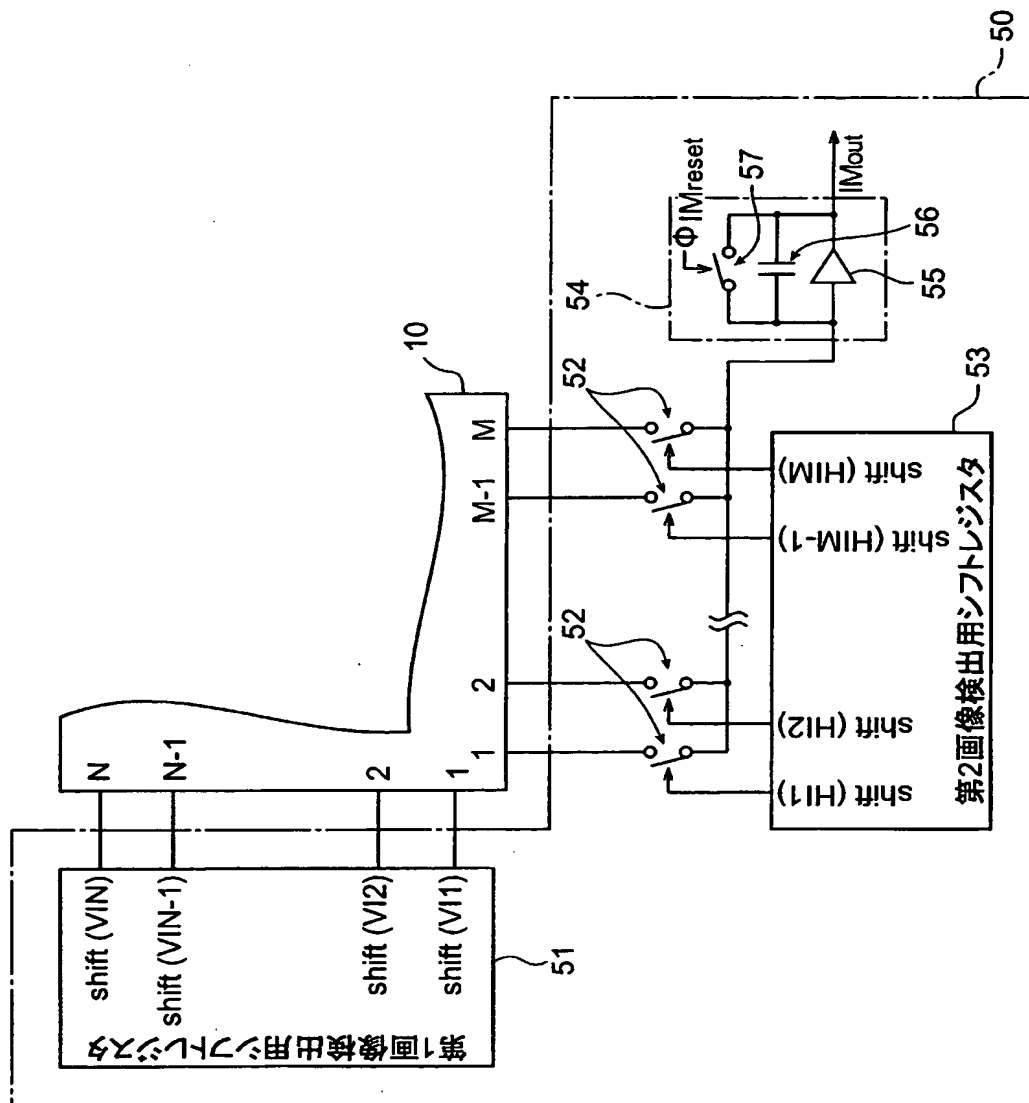


図8

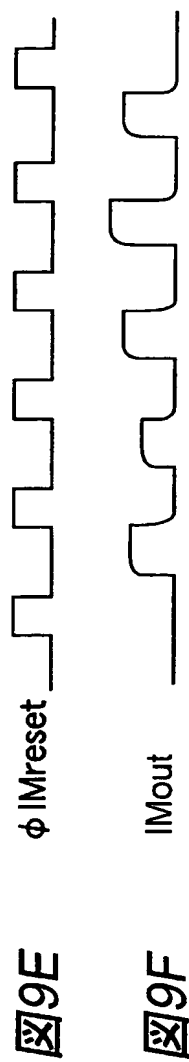
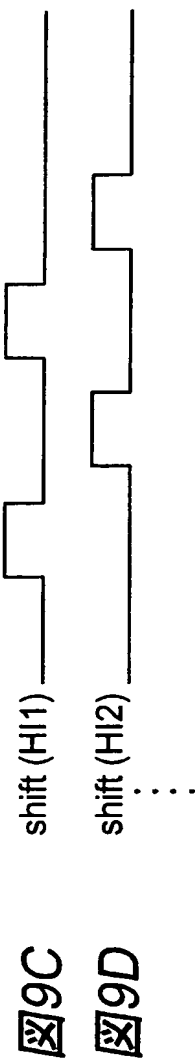
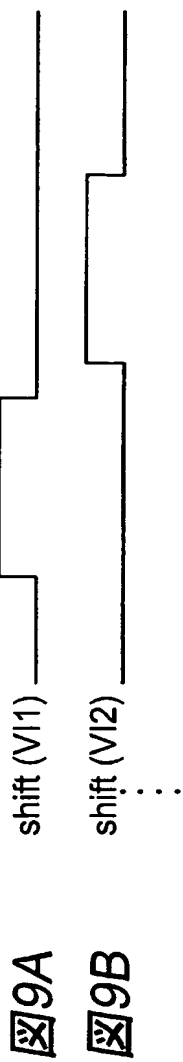


Figure 10 is a detailed circuit diagram of a differential signal processing circuit. It features a central differential pair of transistors (81, 82) with current sources (61, 62) and load resistors (83, 84). The circuit is controlled by shift signals (shift (H1), shift (H2), shift (V1), shift (V2)) and reset signals (Reset (V1), Reset (V2)). The output is a differential current (IMout) and a voltage (Vout). The diagram includes various components labeled with numbers: 22, 23, 24, 25, 26, 31, 32, 33, 34, 35, 36, 51, 52, 53, 61, 62, 63, 81, 82, 83, 84, 1111, 1112, 1121, 1122.

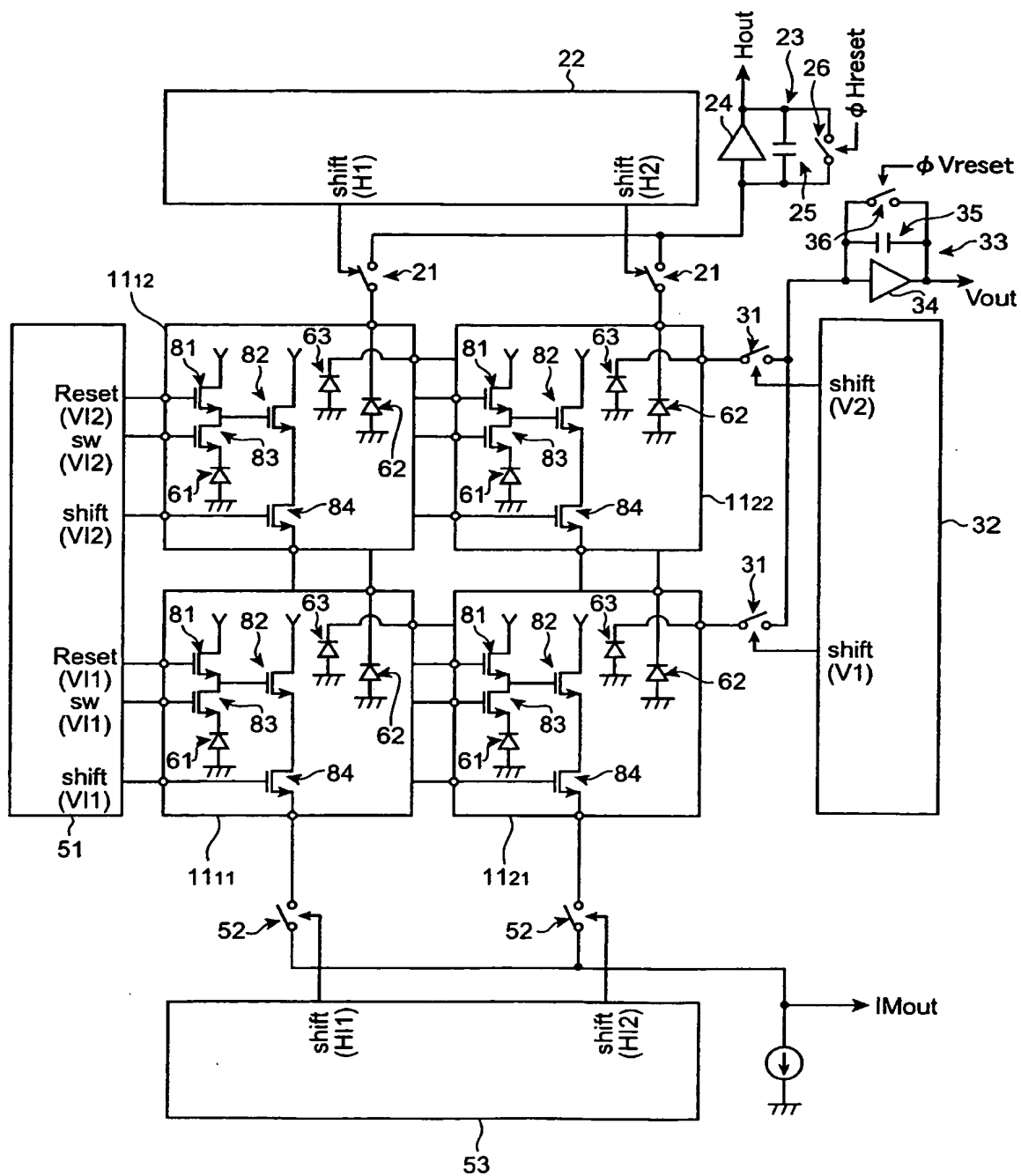


図11

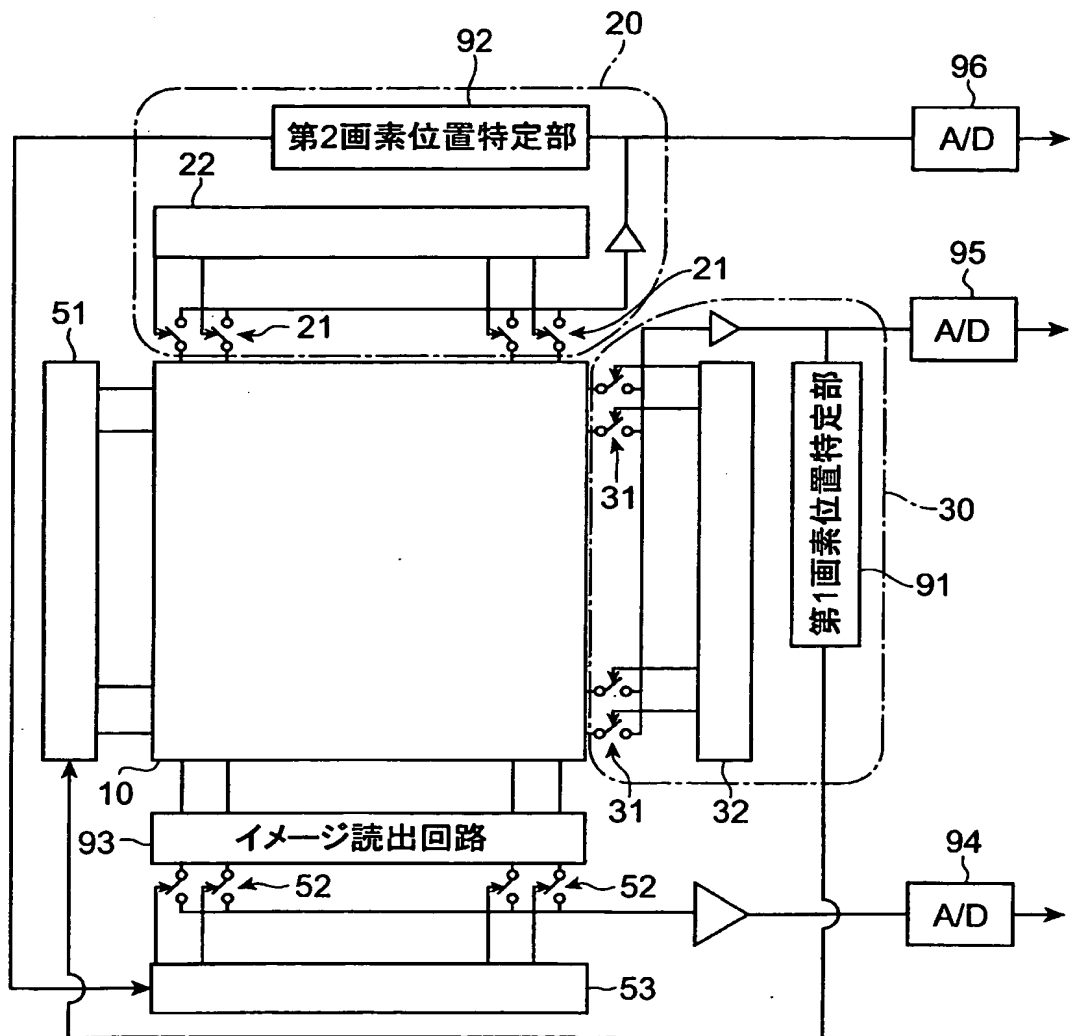


図12A

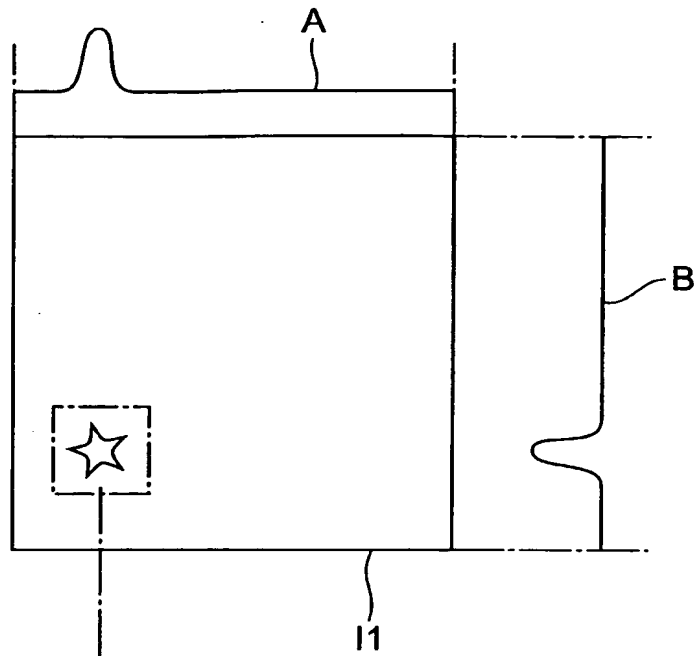
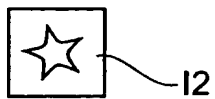


図12B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12887

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/335, 5/232, G06T7/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N5/335, 5/232, G06T1/00, 7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-316127 A (NEC Corp.), 14 November, 2000 (14.11.00), Full text; Figs. 1 to 7 (Family: none)	1-7
A	JP 4-277984 A (Olympus Optical Co., Ltd.), 02 October, 1992 (02.10.92), Full text; Figs. 1 to 9 (Family: none)	1-7
A	JP 4-151129 A (Olympus Optical Co., Ltd.), 25 May, 1992 (25.05.92), Full text; all drawings & US 5196929 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 March, 2003 (07.03.03)

Date of mailing of the international search report
25 March, 2003 (25.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H04N5/335, 5/232, G06T7/00		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H04N5/335, 5/232, G06T1/00, 7/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-316127 A (日本電気株式会社) 2000. 11. 14 全文, 第1-7図 (ファミリーなし)	1-7
A	JP 4-277984 A (オリンパス光学工業株式会社) 1992. 10. 02 全文, 第1-9図 (ファミリーなし)	1-7
A	JP 4-151129 A (オリンパス光学工業株式会社) 1992. 05. 25	1-7
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	07. 03. 03	国際調査報告の発送日
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 井上 信一
		5 P 9058 電話番号 03-3581-1101 内線 3541

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	全文, 全図 & US 5196929 A	